

БАШКИРСКИЙ ИНСТИТУТ РАЗВИТИЯ ОБРАЗОВАНИЯ

---

**Р. Р. Сулейманов**

**ИЗУЧЕНИЕ ЛОГИЧЕСКИХ ОСНОВ  
КОМПЬЮТЕРА В ВИРТУАЛЬНОЙ ЛАБО-  
РАТОРИИ ELECTRONICS WORKBENCH**

УФА - 2007

## ВВЕДЕНИЕ

Основная трудность в изложении элементов цифровой техники состоит в существенном разрыве между уровнем знаний школьников и современным состоянием ЭВТ. Учащимся необходимо преодолеть дистанцию огромного размера – от двоичной арифметики и простейших логических элементов до архитектуры микропроцессора и ЭВМ. Многообразие элементной базы, ее миниатюризация, отсутствие наглядности, необходимость использования различных кодов, синтез многополюсников требуют от учащихся высокого уровня абстрактного мышления. Изучение базовых логических элементов, элементов памяти, операционных элементов и их комбинаций и последовательную логику на физическом уровне становится невозможным из-за громоздкости и отсутствия наглядности. Они рассматриваются схемотехнически: зависимость между входными и выходными сигналами описывается таблицами истинности или функциями на языке алгебры логики.

В качестве компьютерной среды изучения основ электроники и вычислительной техники нами выбрана система Electronics Workbench, разработанная фирмой Interactive Image Technologies. Особенностью системы является наличие контрольно-измерительных приборов, по внешнему виду и характеристикам приближенных к их промышленным аналогам. Система легко усваивается и достаточно удобна в работе.

Практикум включает следующие темы:

- Основы алгебры логики.
- Решение задач на тему «Логические схемы».
- Виртуальный логический конвертор.
- Цифровой компаратор.
- Устройство контроля четности.
- Мультиплексоры и демультимплексоры.
- Арифметические сумматоры.
- Виртуальный генератор слова.
- Виртуальный логический анализатор.
- Триггеры.
- Счетчик.
- Регистр.
- Оперативное запоминающее устройство.

Выполнение этих работ позволит учащимся более глубоко понимать процессы, происходящие в работе электронных вычислительных машин.

## ФИЗИЧЕСКИЕ ОСНОВЫ ЭВМ

### ОСНОВНЫЕ ПОНЯТИЯ И ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ

Науку о человеческом мышлении создал древнегреческий ученый Аристотель (384-322 г. до н. э.). Он назвал ее логикой. Логика предписывала общие правила, по которым человек должен мыслить, делать умозаключение и приходить к истине. Немецкий математик, Г.В. Лейбниц(1646-1716 гг.) сблизил логику с вычислениями. У него возникла мысль создать новую науку — *математическую логику*, в которой логические понятия обозначены математическими знаками. Только почти через 200 лет английский математик, Джордж Буль (1815-1864 гг.) частично реализовал идеи Лейбница. Он создал для логических обоснований и рассуждений необычную алгебру, в которой логические высказывания обозначались особыми символами подобно тому, как в школьной алгебре числа обозначаются буквами. Оказалось что, оперируя этими символами и логическими связками, можно выполнять логические рассуждения при помощи обычных вычислений.

Исследования показали, что в человеческой речи чаще всего встречаются повествовательные предложения, излагающие что-нибудь или описывающие какие-нибудь события. Эти предложения являются *высказываниями*. В *Булевой алгебре* высказывания рассматриваются не по содержанию и не по смыслу, а только в отношении того истинно оно или ложно. Принято обозначать: истинно — 1, а ложно — 0. Приведем примеры логических высказываний: «снег холодный». Данное предложение является высказыванием и при том истинным. «Снег теплый» — высказывание, но ложно. «Речка движется и не движется» не является высказыванием, так как из этого предложения нельзя понять истинно оно или ложно. «Который час?» — это не высказывание, а вопросительная фраза. Буль показал, что простейшее высказывание, связанное между собой союзами: «И», «ИЛИ», «НЕ» — составляют составное высказывание, истинность или ложность, которого можно вычислить.

1. Конъюнкция —  $\wedge$  (логическое умножение), «И».
2. Дизъюнкция —  $\vee$  (логическое сложение), «ИЛИ».
3. Отрицание —  $\neg$ , «НЕ».
4. Логическое исключаящее ИЛИ.
5. Импликация.
6. Двойная импликация или эквиваленция.

Обозначения:

- $\wedge$ , X, ;, &, «и», and — конъюнкция.
- $\vee$ , +, «или», or — дизъюнкция.
- $\neg$ , -, not — отрицание.
- $\otimes$ ,  $\forall$  – логическое исключаящее ИЛИ.
- $\rightarrow$  – импликация.
- $\leftrightarrow$ ,  $\approx$  — двойная импликация или эквиваленция.

### Таблицы истинности:

A	B	$A \wedge B$
0	0	0
0	1	0
1	0	0
1	1	1

A	B	$A \vee B$
0	0	0
0	1	1
1	0	1
1	1	1

A	$\overline{A}$
0	1
1	0

A	B	$A \rightarrow B$
0	0	1
0	1	1
1	0	0
1	1	1

A	B	$A \nabla B$
0	0	0
0	1	1
1	0	1
1	1	0

A	B	$A \leftrightarrow B$
0	0	1
0	1	0
1	0	0
1	1	1

Логическое исключающее ИЛИ, импликацию и эквиваленцию можно выразить через три основных логических операций: конъюнкцию, дизъюнкция, отрицание.

$$A \nabla B = A \wedge \overline{B} \vee B \wedge \overline{A}$$

$$A \rightarrow B = \overline{A} \vee B$$

$$A \leftrightarrow B = (A \rightarrow B) \wedge (B \rightarrow A) = (\overline{A} \vee B) \wedge (B \vee \overline{A})$$

**Основные формулы алгебры логики:**

*Законы коммутативности:*

$$A \wedge B = B \wedge A;$$

$$A \vee B = B \vee A.$$

*Законы ассоциативности:*

$$(A \vee B) \vee C = A \vee (B \vee C);$$

$$(A \wedge B) \wedge C = A \wedge (B \wedge C).$$

*Законы идемпотентности:*

$$A \vee A = A;$$

$$A \wedge A = A.$$

*Законы дистрибутивности:*

$$A \wedge (B \vee C) = (A \wedge B) \vee (A \wedge C);$$

$$A \vee (B \wedge C) = (A \vee B) \wedge (A \vee C).$$

**Формулы позволяющие упрощать логические выражения:**

- $A \vee A = 1$
- $\overline{A \vee B} = \overline{A} \wedge \overline{B}$
- $\overline{A \wedge B} = \overline{A} \vee \overline{B}$
- $A \wedge \overline{A} = 0$
- $A \wedge 0 = 0$
- $A \wedge 1 = A$
- $A \vee 1 = 1$

Приоритет выполнения логических операций. Сначала выполняются операции расположенные в скобках. При отсутствии скобок, первой выполняется операция отрицания, если она относится к одной логической операции, затем конъюнкция, а потом дизъюнкция.

### Физические основы ЭВМ

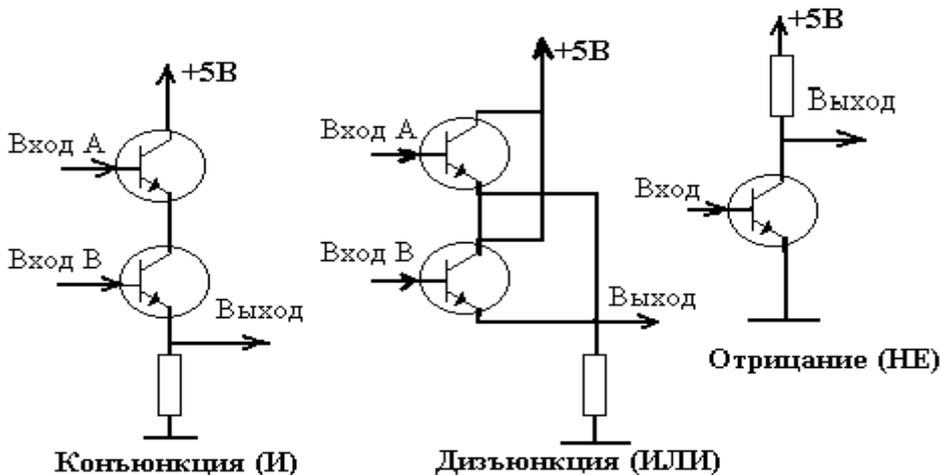


Рис. 1

Выше приведены (рис. 1.) реализации элементов булевой алгебры на базе транзисторов. Промышленность выпускает сотни типов электронно-логических элементов. В интегральном исполнении представляющих собой сочетание элементов «И», «ИЛИ», «НЕ». В виде примера рассмотрим один из самых распространенных типов логических микросхем типа К155ЛА3 (рис. 2), представляющее собой сочетание в одном корпусе четырех двухходовых схем «И» — «НЕ». Каждая логическая схема «И», «НЕ» имеет два входа (выводы 1 и 2, 4 и 5, 9 и 10, 12 и 13) и один выход (выводы 3, 6, 8, 11).



Рис. 4

*Решение.* 1. Составление логической функции для функциональной (логической) схемы. При составлении логической функции необходимо проследить пути движения потоков сигналов (рис. 5).

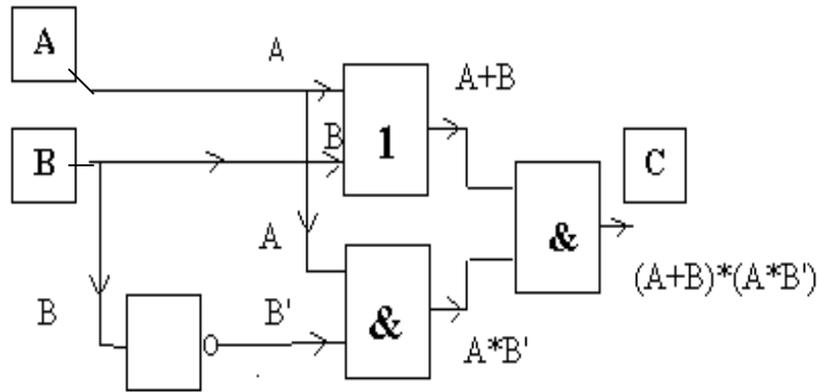


Рис. 5

Ответ:  $(A+B) * (A * B')$ .

2. Проверка на избыточность функциональной схемы (упростить логическую функцию, т. е. преобразовать с помощью законов алгебры логики).

$(A+B) * (A * B')$  / Скобки для  $A * B'$  опускаем, так как перед скобками тоже знак  $*$  /  $= (A+B) * A * B'$  = / Для  $A * B'$  применяем закон коммутативности /  $= (A+B) * B' * A$  = / Для  $(A+B) * B'$  применяем закон дистрибутивности /  $= ((A * B') + (B * B')) * A$  = /  $B * B' = 0$  /  $= ((A * B') + 0) * A$  = / Поглощение 0 при дизъюнкции /  $= (A * B') * A$  = / Скобки опускаем, применяем закон коммутативности /  $= A * A * B' = A * B'$ .

3. Проверяем справедливость логических преобразований. Для этого составляем таблицу истинности. В общем случае составляем две таблицы: для исходной и конечной логических функций. В данной задаче достаточно одной. Значения таблиц истинности  $A * B'$  и  $(A+B) * (A * B')$  равны, что доказывает справедливость логических преобразований.

A	B	A+B	B'	A*B'	(A+B)*(A*B')
0	0	0	1	0	0
0	1	1	0	0	0
1	0	1	1	1	1
1	1	1	0	0	0

3. По полученной логической функции составляем функциональную схему (рис.6).

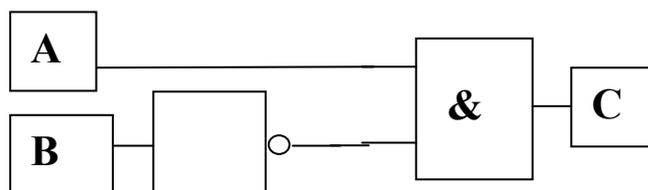


Рис. 6

**Задача 2.** Проведите синтез трехвходового логического устройства с выходной комбинацией 00110010 в таблице истинности.

*Решение.* 1. Составим таблицу истинности для данного логического устройства.

A	B	C	F(A,B,C)	
0	0	0	0	
0	0	1	0	
0	1	0	1	$A' * B * C' = 1$
0	1	1	1	$A' * B * C = 1$
1	0	0	0	
1	0	1	0	
1	1	0	1	$A * B * C' = 1$
1	1	1	0	

Так как в таблице F единиц меньше чем нулей, то построим СДНФ:  $(A' * B * C') + (A' * B * C) + (A * B * C')$ .

2. Используя правила алгебры логики попробуем его упростить.  
 $(A' * B * C') + (A' * B * C) + (A * B * C') = [((A' * B) * C') + ((A' * B) * C)] + (A * B * C') =$   
 $= [(A' * B) * (C' + C)] + (A * B * C') = / C' + C = 1 / = [(A' * B) * 1] + (A * B * C') =$   
 $= (A' * B) + (A * B * C') = (A' * B) + ((A * C') * B) = (A' + (A * C')) * B = B * (A' + A * C').$

Упрощаем дальше, используя закон де Моргана.  
 $B * (A' + A * C') = B * (A'' * (A * C')')' = B * (A * (A' + C''))' = B * (A * (A' + C))' =$   
 $= B * ((A * A') + (A * C))' = / A * A' = 0, 0 + (A * C) = A * C / = B * (A * C)' = B * (A' + C') =$   
 $= B * A' + B * C'. (Проверку можно осуществить с помощью таблиц истинности).$

Ответ:  $B * A' + B * C'$ .

3. По полученной структурной формуле построим функциональную схему (рис.7).

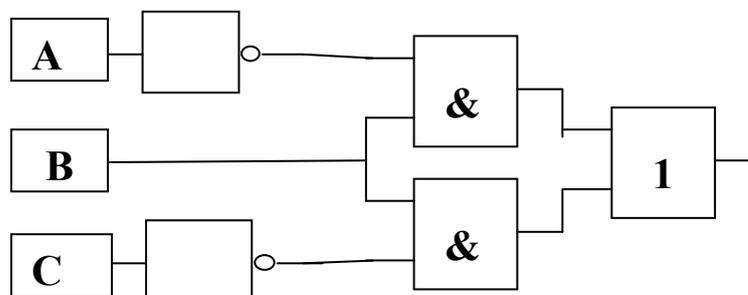


Рис. 7

## СИСТЕМА ELECTRONICS WORKBENCH

Научно-техническое проектирование является основным в развитии науки и техники. Одним из направлений является компьютерное схемотехническое моделирование электронных устройств.

Использование интегрированных программных систем схемотехнического моделирования аналоговых и цифровых радиоэлектронных устройств (Micro-Cap V, DesignLab 8.0, APLAC 7.0, System View 1.9, Circuit Maker 6.0, Electronics Workbench) позволяют решать следующие задачи:

- создание модели принципиальной электрической схемы устройства и ее редактирование;
- расчет режимов работы модели;
- расчет частотных характеристик и переходные процессы модели;
- провести оценку и анализ модели;
- наращивать библиотеку компонентов;
- представлять данные в форме, удобной для дальнейшей работы;
- разработка печатных плат;
- подготовку научно-технических документов и д. р.

Данная статья посвящена системе Electronics Workbench 5.12 разработанная фирмой Interactive Image Technologies. Особенностью системы является наличие контрольно-измерительных приборов, по внешнему виду и характеристикам приближенных к их промышленным аналогам. Система легко усваивается и достаточно удобна в работе.

Подробно изучит приемы работы с системой можно по специальным пособиям и руководствам. Мы ограничимся моделированием электрических схем из школьного курса физики и первоначальным знакомством с системой.

### **Знакомство с системой Electronics Workbench**

Запустив интегрированный пакет Electronics Workbench, вы увидите диалоговое окно и окно редактирования (рис.8). Окно редактирования заполнено некоторыми компонентами. Диалоговое окно Electronics Workbench содержит поле меню, библиотеку компонентов и линейку контрольно-измерительных приборов расположенных в одном поле. Поле меню аналогичное с многими Windows-приложениями. Опции главного меню легко изучить самостоятельно.

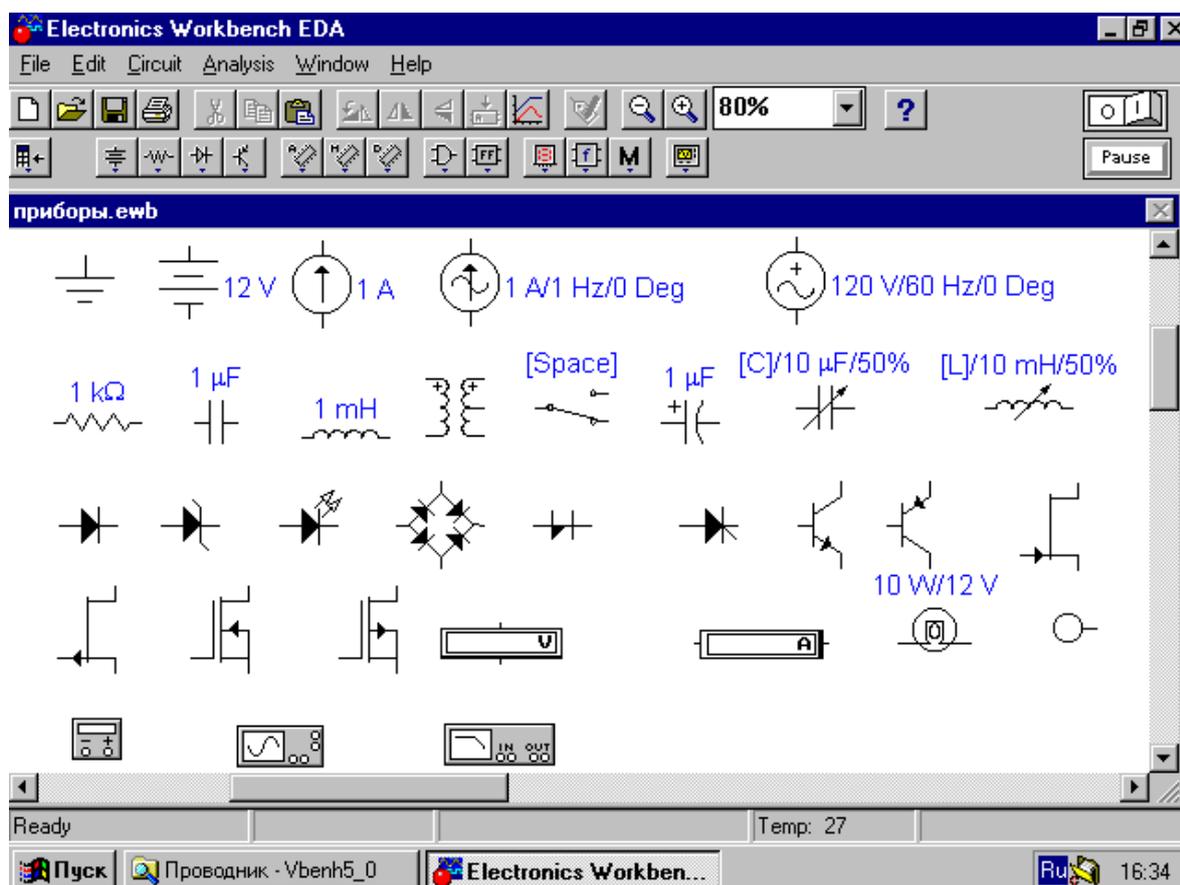


Рис. 8

Несколько более подробно остановимся на некоторых компонентах и контрольно-измерительных приборах. На рисунке 8 в окне редактирования, начиная слева сверху, двигаясь направо приведены обозначения следующих компонентов и контрольно-измерительных приборов: заземление, батарея, источник постоянного тока, источник переменного синусоидального тока (эффективное значения тока, частота, фаза), источник переменного синусоидального напряжения (эффективное значение тока, частота, фаза), резистор, конденсатор, катушка (индуктивность), трансформатор, переключатель, электролитический конденсатор, конденсатор переменной емкости, катушка переменной индуктивности, диод, стабилитрон, светодиод, диодный мост, диод Шокли,  $n - p - n$  транзистор,  $p - n - p$  транзистор, далее 4 вида полевых транзисторов, вольтметр, амперметр, лампа накаливания (напряжение, мощность), светодиод (цвет свечения), мультиметр, осциллограф, измеритель амплитудно-частотных и фазо-частотных характеристик.

#### Алгоритм технологии подготовки и запуска электрических схем

1. Выбор необходимых компонентов электрической схемы и расположение их в окне редактирования Electronics Workbench.

Для этого подводим указатель мыши к одной из пиктограмм библиотеки компонентов или линейке контрольно-измерительных приборов и щелкаем левой кнопкой мыши. Выпадает одна из выбранных групп компонентов. Для того, чтобы выбрать необходимый, подводим указатель мыши к компоненту,

нажимаем левую кнопку мыши (не опускаем кнопку), перемещаем компонент на окно редактирования, опускаем кнопку.

## 2. Ввод и изменение параметров выбранных компонентов.

Подводим указатель мыши к компоненту в окно редактирования и щелкаем два раза левой кнопкой мыши. Выпадает меню, состоящая из нескольких опций. Рассмотрим два из них:

*Label* – необходим для написания обозначения компонента;

*Value* – необходим для простановки значений компонента.

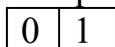
В контрольно-измерительных приборах, при необходимости, например в вольтметрах и амперметрах, при внесении параметров в опции *Label*, указываем для какого тока постоянного или переменного; в *Mode* выбираем DC – для постоянного тока, AC – для переменного.

## 3. Соединение компонентов электрической схемы.

После размещения компонентов и простановки параметров производится соединение их выводов проводниками. При этом необходимо учитывать, что к выводу компонента можно подключить только один проводник. Для выполнения подключения указатель мыши подводим к выводу компонента и после появления жирной точки (указатель соединения) нажимаем левую кнопку мыши и появляющийся при этом проводник протягиваем к выводу другого компонента до появления на нем такой же жирной точки, после чего кнопку мыши отпускаем, соединение готово. Если соединение нужно разорвать, указатель мыши подводим к одному из выводов компонента или к точке соединения и при появлении указателя соединения нажимаем левую кнопку, проводник отводим на свободное место рабочего поля, после чего кнопку отпускаем. Если необходимо вывод компонента подключить к имеющемуся на схеме проводнику, то из вывода компонента проводник указателем мыши подводим к указанному проводнику и после появления точки соединения кнопку мыши отпускаем. Отметим, что прокладка соединительных проводов производится автоматически, причем препятствия – компоненты и проводники огибаются по ортогональным направлениям (по горизонтали или вертикали).

## 4. Подключение электрической схемы к питанию.

В правом верхнем углу диалогового окна расположена пиктограмма



0 – отключено питание; 1 – включено питание. После включения питания на контрольно-измерительных приборах регистрируются характеристики и значения собранной модели электрической схемы.

# ЛАБОРАТОРНАЯ РАБОТА № 1. ВИРТУАЛЬНЫЙ ЛОГИЧЕСКИЙ КОНВЕРТОР (LOGIC CONVERTER)

**Цель:** Изучение назначения и принцип работы виртуального устройства логического конвертора (преобразователя). Знакомство с базовыми функциями логического конвертора.

**Оборудование:** Электронная лаборатория Electronics Workbench.

## Краткая теория

Теперь для решения предложенных выше задач воспользуемся программой электронной лаборатории Electronics Workbench. Для построения логических схем в библиотеке Logic Gates (логические элементы) предусмотрено возможность выбора логических элементов. На рис. 9 перечень выбора возможных логических элементов.

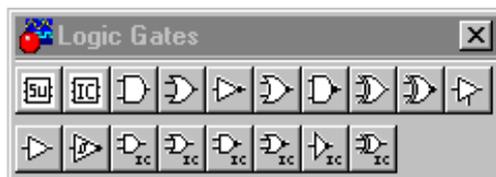


Рис. 9

На рис. 10 показаны обозначения, используемые в Electronics Workbench логических элементов: конъюнкции - И, дизъюнкции – или, отрицания –НЕ, 2 – И – НЕ, 2 –ИЛИ – НЕ.

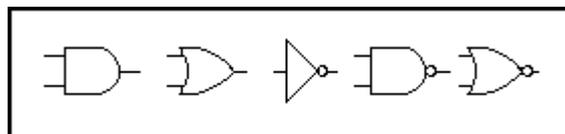


Рис. 10.

В электронной лаборатории Electronics Workbench имеется виртуальное устройство. Логический конвертор (Logic Converter) позволяет осуществлять 6 логических преобразований для логической функции с числом переменных от 1 до 8: представление таблицы истинности собранной из логических элементов схемы; обращение таблицы истинности в логическую формулу (СДНФ); минимизацию СДНФ; обращение формулы в таблицу истинности; представление формулы в виде схемы в логическом базисе 2-И-НЕ. Логический конвертор выбирается из меню Instruments (рис. 11).



Рис. 11

Приведем описание технологии исследования логических схем с помощью логического конвертора (преобразователя).

1. Собираем логическую схему.
2. Подключаем исследуемую логическую схему к логическому конвертору (входов 8, выход один – расположен справа).
3. Открываем логический конвертор щелчком левой кнопкой мыши по иконке конвертора. На экране появляется меню Logic Converter (рис. 12).
4. Для получения таблицы истинности нажимаем



- Для получения логической функции (структурной формулы) нажимаем



С помощью логического конвертера можно проводить не только анализ логических устройств, но их синтез.

Приведем описание технологии синтеза логического устройства по выходной комбинации с помощью логического конвертера (преобразователя).

- Раскрываем лицевую панель логического конвертера (рис. 12).

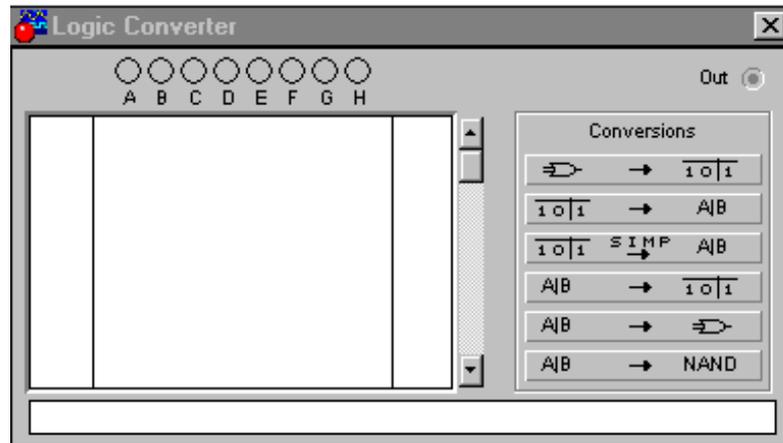


Рис. 12

- Активизируем курсором клеммы-кнопки А, В, ..Н (начиная с F), количество которых равно количеству входов синтезируемого устройства (количеству логических переменных).
- Вносим необходимые изменения в столбец OUT и после нажатия на клавиши на панели преобразователя получаем результат в виде схемы на рабочем поле программы и логическую функцию в дополнительном дисплее.

**Задача 3.** Проведите анализ логического устройства (рис. 13) по функциональной схеме с помощью Electronics Workbench.

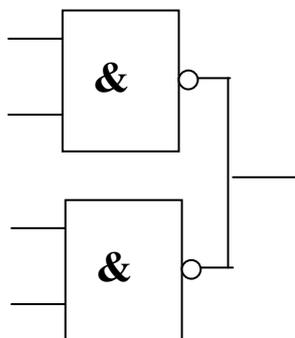


Рис. 13

На рис. 14 решение задачи в Electronics Workbench.

### Контрольные вопросы и задания

1. Объяснить назначение и принцип работы логического конвертера. Решить следующие задания с использованием логического конвертера.

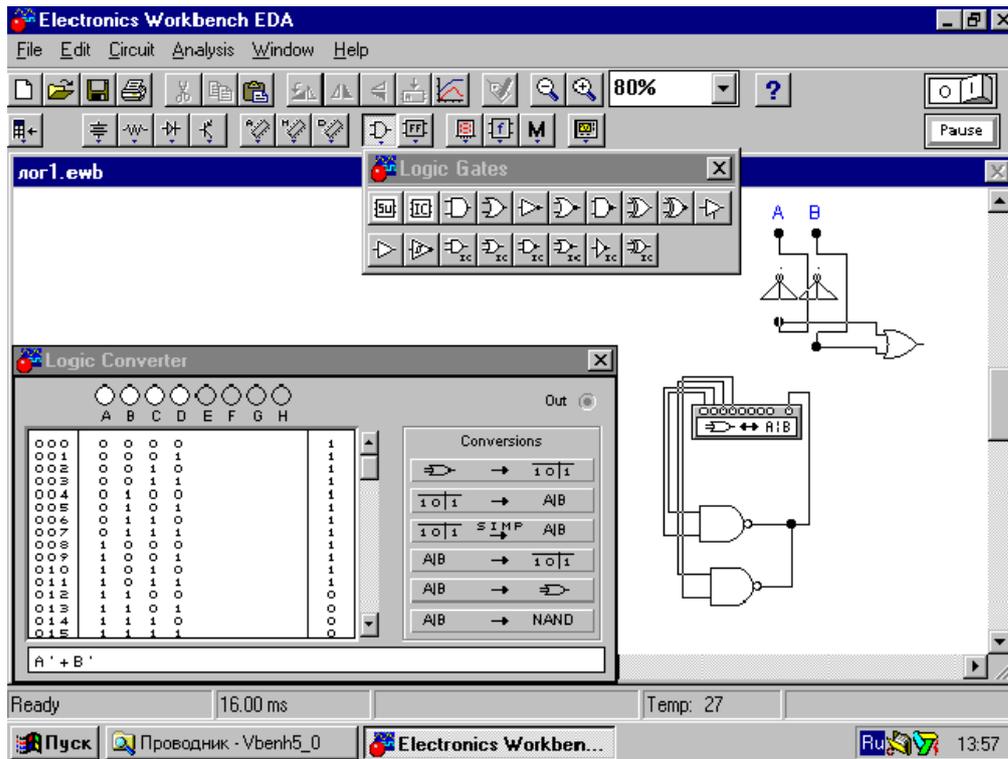
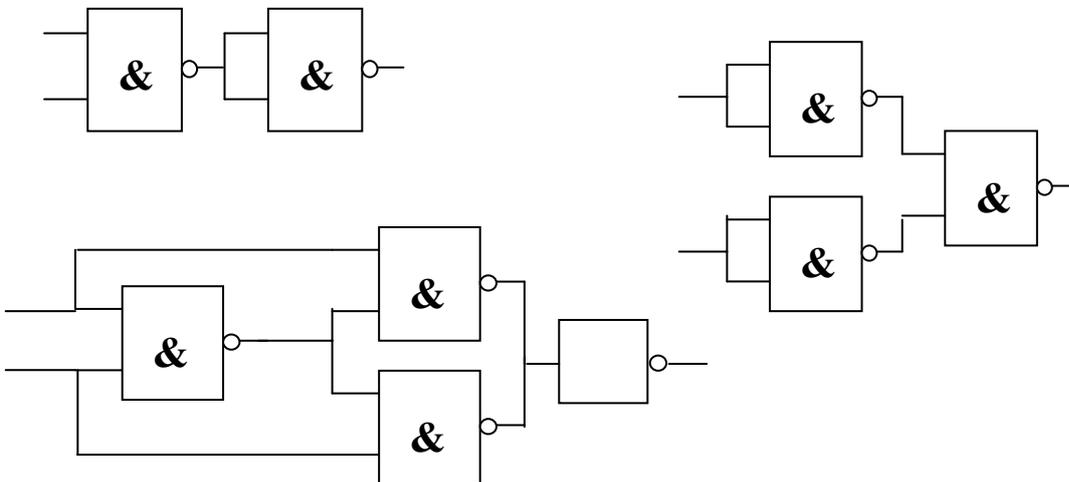


Рис. 14

2. Исследуйте следующие функциональные схемы.



3. Исследуйте логическую схему и постройте функциональную логическую схему: а)  $B \cdot C + A \cdot C$ .

б)  $A \cdot B' \cdot C + A \cdot B \cdot C' + A' \cdot B \cdot C$ .

с)  $A \cdot (B + C) \cdot (D + C)$ .

4. Проведите синтез логического устройства с выходной комбинацией:

а) 00100111.

б) 01101001.

с) 0110100110010110.

## Лабораторная работа № 2. Цифровой компаратор

**Цель:** Изучение назначения устройства и принцип работы цифрового компаратора.

**Оборудование:** Электронная лаборатория Electronics Workbench.

### Краткая теория

Цифровые компараторы (от английского compare – сравнивать) выполняют сравнение двух чисел  $A$ ,  $B$  одинаковой разрядности, заданных в двоичном или двоично-десятичном коде. В зависимости от схемного исполнения компараторы могут определять равенство  $A=B$  или неравенства  $A<B, A>B$ . Результат сравнения отображается в виде логического сигнала на одноименных выходах, в случае выполнения условия на выходе 1.

Цифровые компараторы применяются для выявления нужного числа (слова) в цифровых последовательностях, для выполнения условных переходов.

Схемы одноразрядных компараторов приведены на рис. 15, 16, 17..

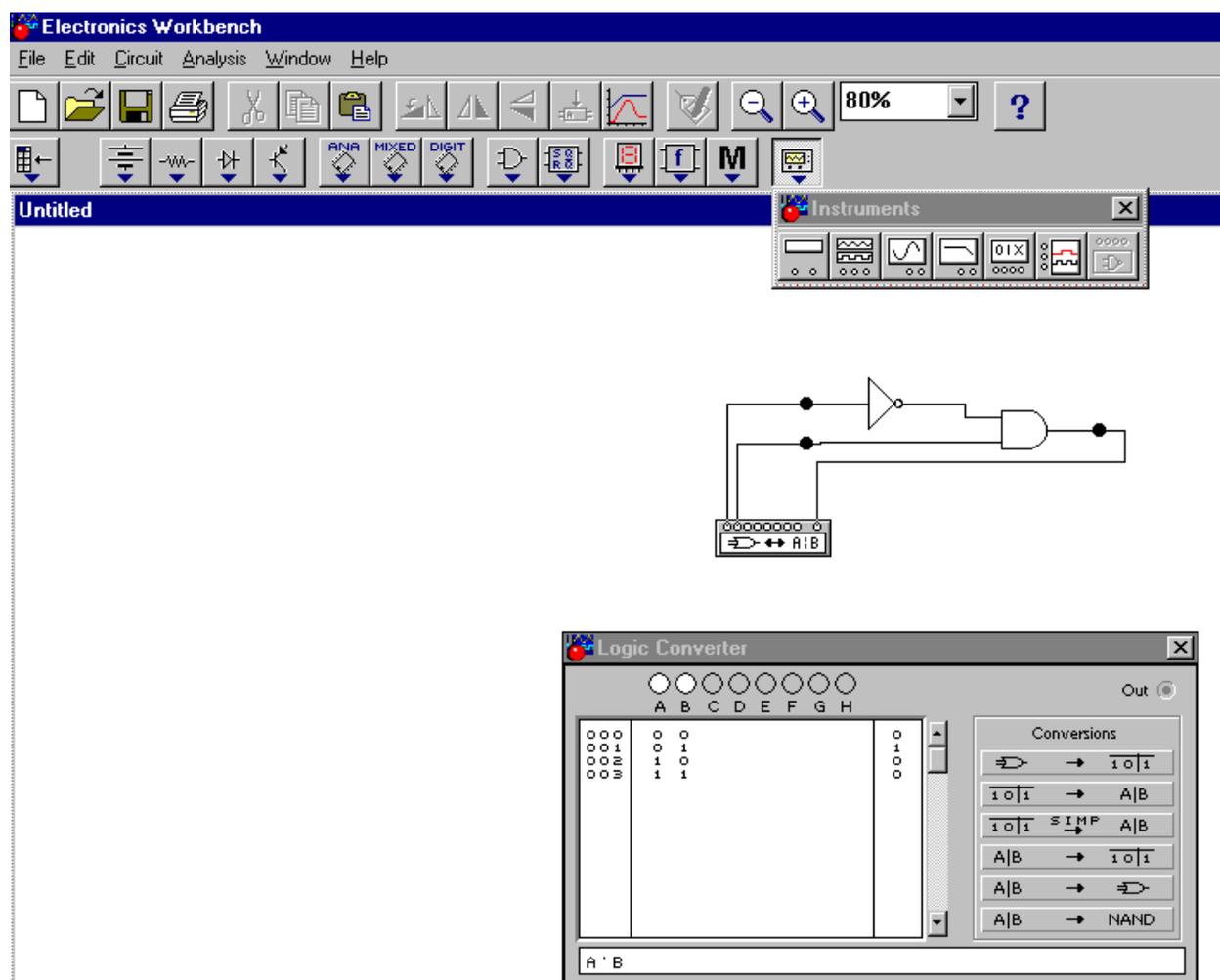


Рис. 15

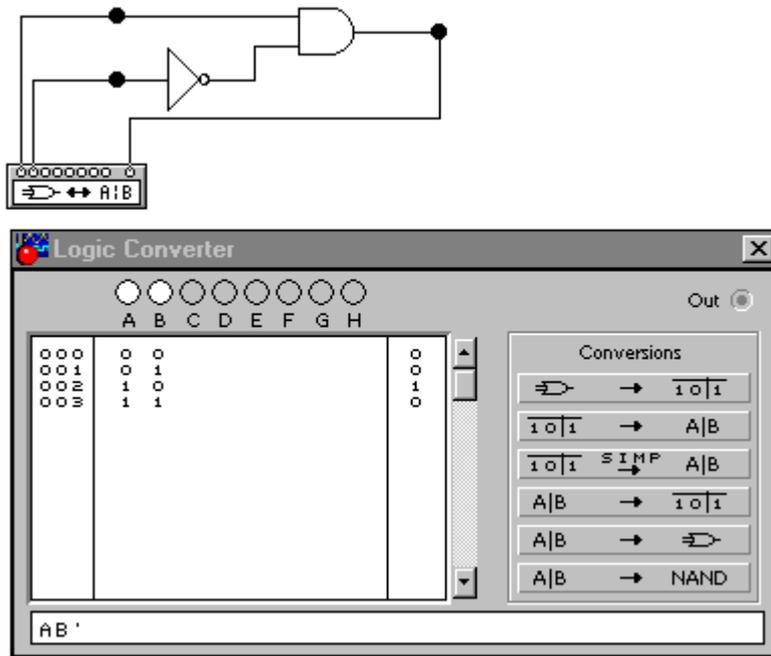


Рис. 16

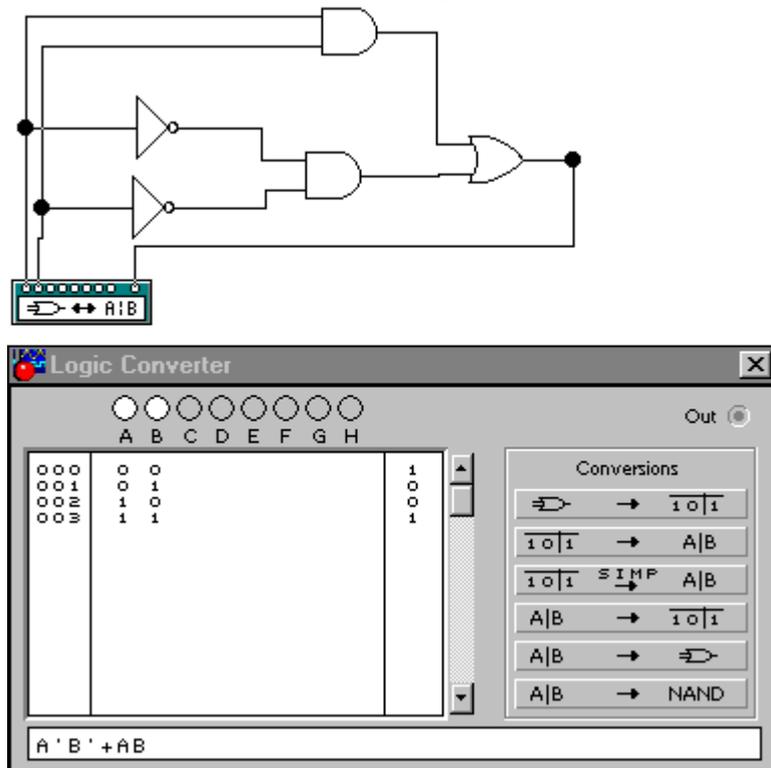
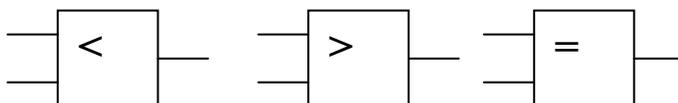


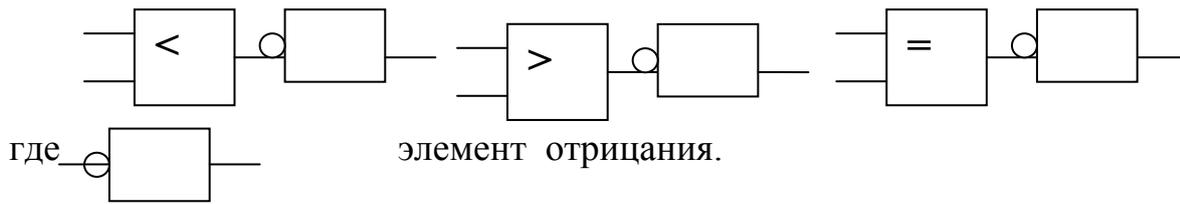
Рис. 17

Операциям сравнения ( $A < B$ ,  $A = B$ ,  $A > B$ ) соответствуют структурные формулы ( $A' \cdot B$ ,  $A' \cdot B' + A \cdot B$ ,  $A \cdot B'$ ).

Условно обозначим логические схемы компараторов:



Тогда, компараторы  $\Rightarrow$ ,  $\Leftarrow$ ,  $\Leftrightarrow$  будут выглядеть следующим образом:



Логические функции этих компараторов выглядят:

$$(A' * B)', (A * B)', (A' * B' + A * B)'$$

Можем упростить данные формулы с помощью законов алгебры логики:

$$(A' * B)' = A'' + B' = (\text{закон де Моргана}) = A + B' \quad (\text{закон двойного отрицания}),$$

$$(A * B)' = A' + B'' = A' + B,$$

$$(A' * B' + A * B)' = (A'' + B'') * (A' + B') = (A + B) * (A' + B').$$

Таблицы истинности для данных формул:

A	B	B'	A+B' (A=>B)	A'	A'+B (A<=B)	A+B	A'+B'	(A+B)*(A'+B') (A<>B)
0	0	1	1	1	1	0	1	0
0	1	0	0	1	1	1	1	1
1	0	1	1	0	0	1	1	1
1	1	0	1	0	1	1	0	0

### Контрольные вопросы и задания

1. Какие функции выполняет цифровой компаратор, в каких устройствах он может быть использован?
2. Подсоединив схемы к логическому конвектору, исследуйте приведенные схемы.
3. Составьте схему устройства, объединяющую все три компаратора.
4. Составьте схемы устройств, удовлетворяющие условиям:  $A \leq B$ ,  $A < B$ ,  $A = B$ .
5. Исследуйте составленные схемы устройств.
6. Составьте структурные формулы и таблицы истинности для составленных выше логических схем цифровых компараторов.

### Лабораторная работа № 3. Устройство контроля четности

**Цель:** Изучение назначения и принцип работы устройства контроля четности.

**Оборудование:** Электронная лаборатория Electronics Workbench.

#### Краткая теория

Операция контроля четности двоичных чисел позволяет повысить надежность передачи и обработки информации. Ее сущность заключается в суммировании по модулю 2 всех разрядов с целью выяснения четности числа, что

позволяет выявить наиболее вероятную ошибку в одном из разрядов двоичной последовательности. Например, если при передаче кода 1001 произойдет сбой во втором разряде, то на приемном пункте получим код 1101 – такую ошибку определить в общем случае затруднительно. Если же код относится к двоично-десятичному (способ кодирования десятичных чисел, при котором каждая цифра представляется четырьмя двоичными разрядами – двоичной тетрадой), обнаружение ошибок путем введения дополнительного бита четности происходит следующим образом. На передающей стороне передаваемый код анализируется и дополняется контрольным битом до четного или нечетного числа единиц в суммарном коде. Соответственно суммарный код называется четным или нечетным. В случае нечетного кода дополнительный бит формируется таким образом, чтобы сумма всех единиц в передаваемом коде, включая контрольный бит, была нечетной. При контроле четности все наоборот. Например, в числе 0111 число единиц нечетно. Поэтому при контроле нечетности дополнительный код должен быть нулем, а при контроле четности – единицей. На практике чаще всего используется контроль нечетности, поскольку он позволяет фиксировать полное пропадание информации (случай нулевого кода во всех информационных разрядах). На приемной стороне производится проверка кода четности. Если он правильный, то прием разрешается, в противном случае включается сигнализация ошибки или посылается передатчику запрос на повторную передачу.

Схема формирования бита четности для четырехразрядного кода приведена на рис.18. Она содержит четыре элемента исключающие ИЛИ, выполняющие функции сумматоров по модулю 2 (без переноса) и состоит из трех ступеней. На первой ступени попарно суммируются все биты исходного кода на входах А, В, С, D. На второй ступени анализируются сигналы первой ступени, и устанавливается четность или нечетность суммы входного кода. На третьей ступени полученный результат сравнивается с контрольным сигналом на входе Е, задающим вид используемого контроля, в результате чего на выходе F формируется дополнительный пятый бит четности, сопровождающий информационный сигнал в канале передачи.

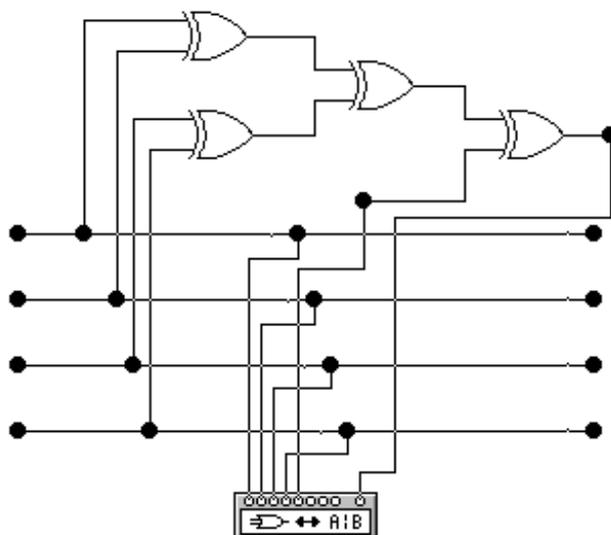


Рис. 18.

Результаты моделирования приведены на рис. 19.

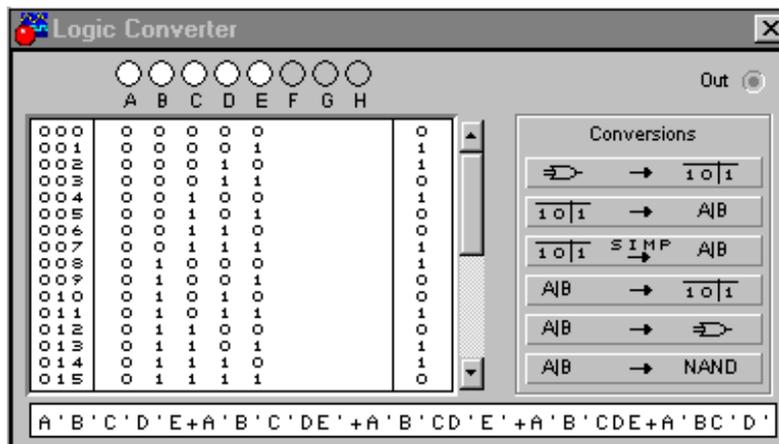


Рис. 19

### Контрольные вопросы и задания

1. Какое назначение имеют формирователи кода четности, где они могут быть использованы?
2. Постройте схему формирователя бита четности трехразрядного (пятиразрядного) кода.
3. Проанализируйте работу составленных схем формирователей битов четности.

### Лабораторная работа № 4. Мультиплексоры и демультиплексоры

**Цель:** Изучение назначения и принцип работы устройств мультиплексора и демультиплексора.

**Оборудование:** Электронная лаборатория Electronics Workbench.

### Краткая теория

Назначение мультиплексоров (от английского multiplex – многократный) – коммутировать в заданном порядке сигналы, поступающие с нескольких входных шин в одну выходную. У мультиплексора может быть, например, 16 входов и один выход. Это означает, что если к этим входам присоединить 16 источников цифровых сигналов – генераторов последовательных цифровых слов, то байты от любого из них можно передавать на единственный выход. Для выбора любого из 16 каналов необходимо иметь 4 входа селекции ( $2^4=16$ ), на которые подается двоичный адрес канала. Так, для передачи данных от канала номер 9 на входах селекции необходимо установить код 1001. В силу этого мультиплексоры часто называют селекторами или селекторами-мультиплексорами.

На рис. 20 приведена схема двухканального мультиплексора, состоящего из элементов ИЛИ, НЕ и двух элементов И.

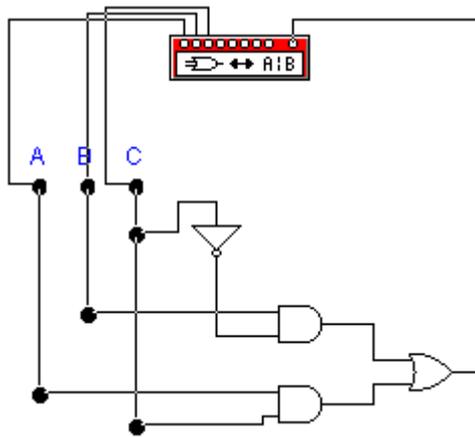


Рис. 20. Схема двухканального мультиплексора

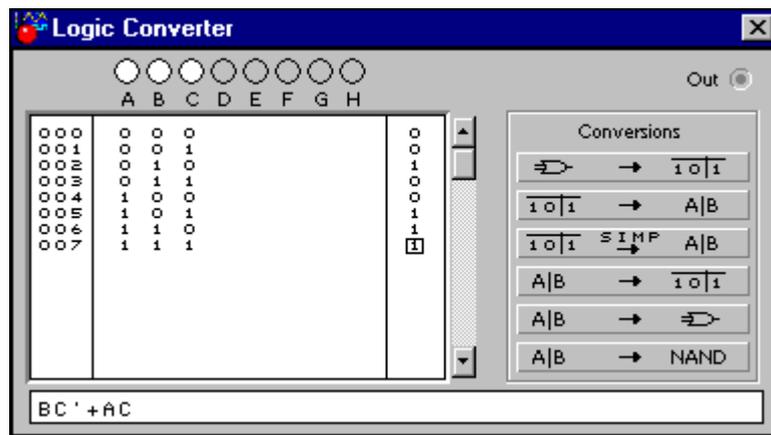


Рис. 21

Результаты моделирования двухканального мультиплексора с помощью логического конвертора показаны на рис. 21, из которого видно, что его выходной сигнал описывается структурной формулой  $B \cdot C' + A \cdot C$ , т.е. сигнал из канала A проходит на выход при адресном входе  $C=1$ , а из канала B - при  $C=0$ , что и соответствует логике работы мультиплексора.

Демультимплексоры в функциональном отношении противоположны мультиплексорам. С их помощью сигналы с одного информационного входа распределяются в требуемой последовательности по нескольким выходам. Выбор нужной выходной шины, как и в мультиплексоре, обеспечивается установкой соответствующего кода на адресных входах. При  $m$  адресных входах демультимплексор может иметь до  $2^m$  выходов.

Принцип работы демультимплексора поясним с помощью схемы на рис. 22.

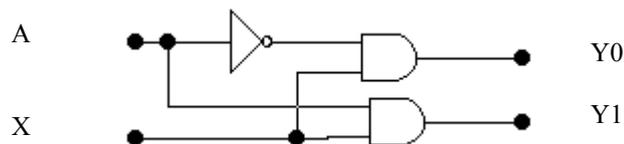


Рис. 22. Схема демультимплексора

Схема содержит два элемента элемента И и один элемент НЕ. На схеме: X - информационный вход, A - вход адреса, Y0, Y1 - выходы.

Если  $A=0$  сигнал информационного входа передается на выход  $Y_0$ , а при  $A=1$  - на выход  $Y_1$ .

### Контрольные вопросы и задания

1. Что такое мультиплексор, каково его назначение?
2. Что такое демультиплексор, для решения каких задач его можно применить?
3. Придумайте схему трехканального мультиплексора?
3. Придумайте схему трехвыходного демультиплексора?

## Лабораторная работа № 5. Арифметические сумматоры

**Цель:** Изучение назначения и принцип работы устройств полусумматора и сумматора. Знакомство с базовыми элементами полусумматора и полного сумматора из библиотеки EWB.

**Оборудование:** Электронная лаборатория Electronics Workbench.

### Краткая теория

С помощью логических схем можно выполнять арифметические операции с двоичными числами.

Двоичная таблица сложения всего четырьмя формулами:

A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	10

При сложении двоичных чисел в каждом разряде образуется сумма и при этом возможен перенос в старший разряд. Введем обозначения слагаемых (A, B), переноса (P), и суммы (S). Тогда таблица сложения одноразрядных двоичных чисел с учетом переноса в старший разряд выглядит следующим образом:

Слагаемые		Перенос	Сумма		
A	B	P	S		
0	0	0	0	$A'+B'$	
0	1	0	1		$A'*B$
1	0	0	1		$A*B'$
1	1	1	0	A+B	

Отсюда видно, что перенос  $P=A*B$ , для СКНФ  $S=(A'+B')*(A+B)$ ; для СДНФ  $S=A'*B+A*B'$ .

Логические схемы с входами A, B и выходами P, S для соответствующих формул:

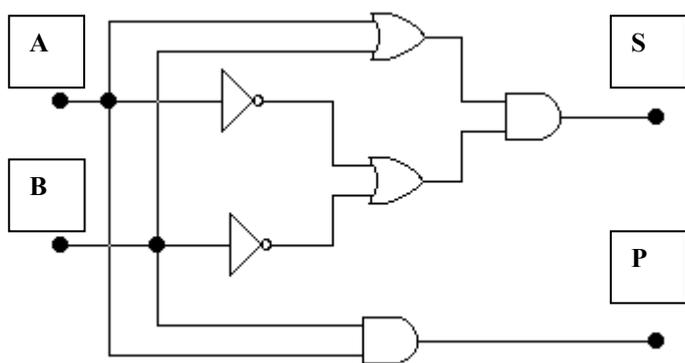


Рис. 23

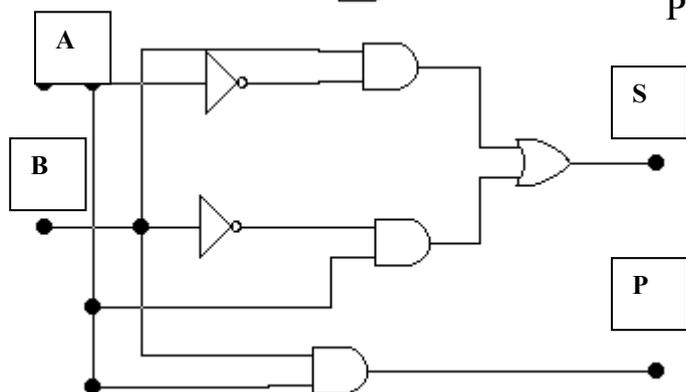


Рис. 24

Преобразуем формулу  $S=(A'+B')*(A+B)$ , используя закон де Моргана:  $S=(A*B)'*(A+B)$ .

Логическая схема для данной формулы (рис. 25):

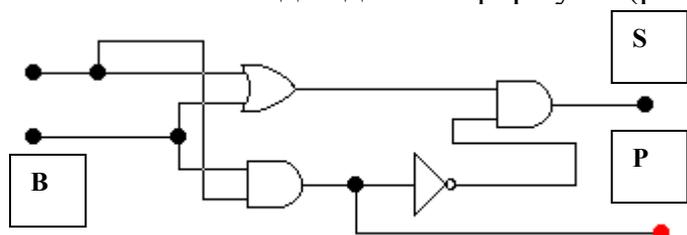


Рис. 25

Как видим, что для реализации арифметического устройства сложения достаточно четырех логических элементов.

Приведенные логические устройства называются полусумматорами.

Полный одноразрядный сумматор должен иметь три входа: A, B - слагаемые и  $P_0$  - перенос из младшего разряда и два выхода сумму S и перенос P.

Слагаемые		Перенос из младшего разряда	Перенос	Сумма
A	B	$P_0$	P	S
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0

1	0	1	1	0
1	1	1	1	1

Формула переноса (СДНФ):  $P=(A*B)+(A*P_0)+(B*P_0)$ . Для получения суммы необходимо результат логического сложения переменных  $A, B, P_0$  умножить на  $P'$ :

$$S=(A+B+P_0)*P'$$

Данное логическое выражение дает правильное значение во всех случаях, кроме, когда все входные переменные принимают логическую 1.

$P=(A*B)+(A*P_0)+(B*P_0)+(A*B*P_0)$  - данная формула дает ожидаемый результат.

Арифметические сумматоры являются составной частью так называемых арифметико-логических устройств (АЛУ) микропроцессоров. В программе EWB арифметические сумматоры представлены в библиотеке Digital двумя базовыми устройствами: полусумматорами и полными сумматорами. Они имеют следующие назначения выводов:  $A, B$  – входы слагаемых,  $\Sigma$  - результат суммирования,  $C_0$  – выход переноса,  $C_i$  - вход переноса.  $N$  – разрядный сумматор создается на базе одного полусумматора и  $n-1$  полных сумматоров. На рис.26 приведено исследование полусумматора.

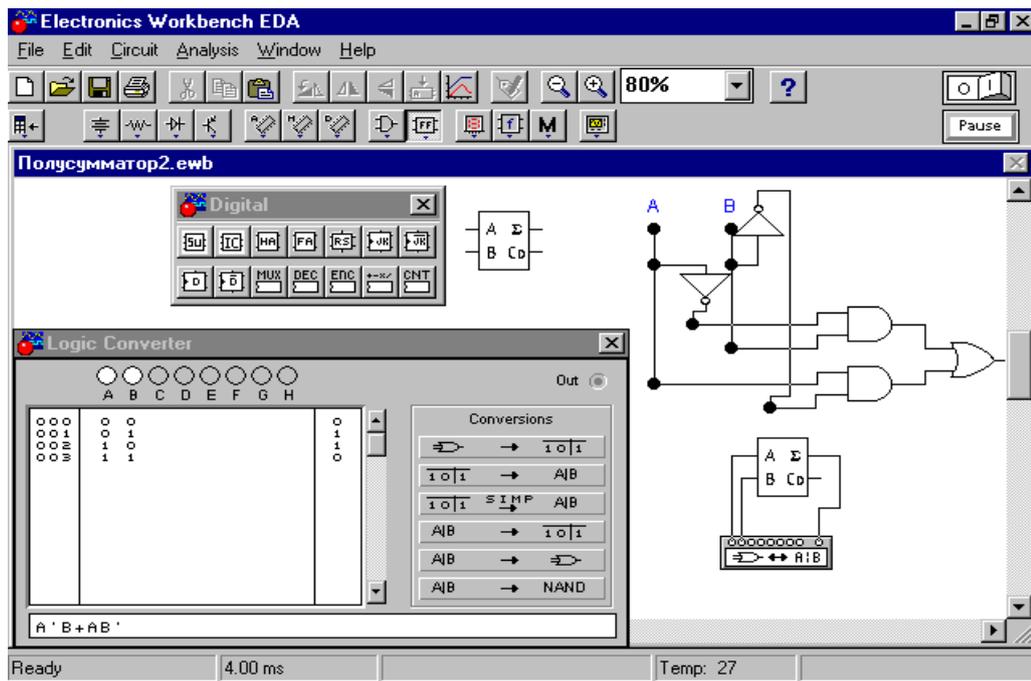


Рис. 26

На рис.27 приведена схема подключения полного сумматора к логическому конвертору и трехразрядный сумматор.

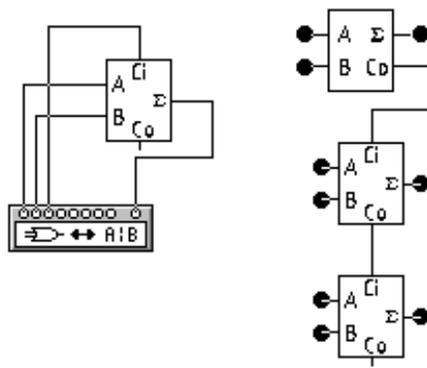


Рис. 27

### Контрольные вопросы и задания

1. Чем отличается полусумматор от полного сумматора.
2. Выясните внутреннюю структуру полного сумматора, пользуясь схемой подключения к логическому конвертору, аналогично приведенному анализу полусумматора.
3. Исследуйте выходы переноса полусумматоров и полного сумматора.
4. Исследуйте приведенный трехразрядный сумматор, последовательно подключая выходы к логическому конвертору.

### Лабораторная работа № 6. Виртуальный генератор слова (Word Generator). Вычитание

**Цель:** Изучение назначения и принцип работы виртуального генератора слова. Знакомство с базовыми функциями виртуального генератора слов. Анализ работы сумматора с помощью виртуального генератора слов.

**Оборудование:** Электронная лаборатория Electronics Workbench.

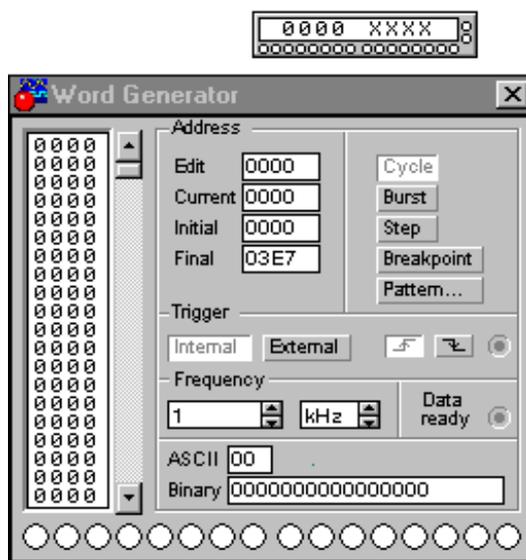


Рис. 28

### Краткая теория

Внешний вид виртуального генератора слова и лицевая панель приведены на рис. 28.

Генератор (его еще кодовым генератором) предназначен для генерации 16-разрядных двоичных слов. Кодовые комбинации необходимо задавать в шестнадцатичном коде.

Каждая комбинация заносится с помощью клавиатуры, номер редактируемой ячейки фиксируется в окошке EDIT блока ADDRESS. Всего таких ячеек и следовательно, комбинаций – 2048. В процессе работы генератора в отсеке ADDRESS индицируется

номер текущей ячейки (CURRENT), ячейки инициализации или начала работы (INITIAL) и конечной ячейки (FINAL). Выдаваемые на 16 выходов (в нижней части генератора) кодовые комбинации индицируются в текстовом (ASCII) и двоичном коде (BINARY).

Сформированные слова выдаются на 16 расположенных в нижней части виртуального прибора клемм-индикаторов:

- В пошаговом (при нажатии кнопки STEP), циклическом (при нажатии кнопки CYCLE) или с выбранного слова до конца (при нажатии клавиши BURST) при заданной частоте посылок (установка – нажатиями кнопок в окнах FREQUENCY);
- При внутреннем (при нажатии кнопки INTERNAL) или внешнем запуске (при нажатии кнопки EXTERNAL по готовности данных (клемма DATA READY), рядом расположена клемма для подключения канала синхронизации);
- При запуске по переднему или заднему фронту.

На клемму CLK выдается выходной синхронизирующий импульс. К органам управления относится также кнопка BREAK POINT – прерывание работы генератора в указанной ячейке. При нажатии на кнопку PATTERN выпадает меню (рис. 29), где:

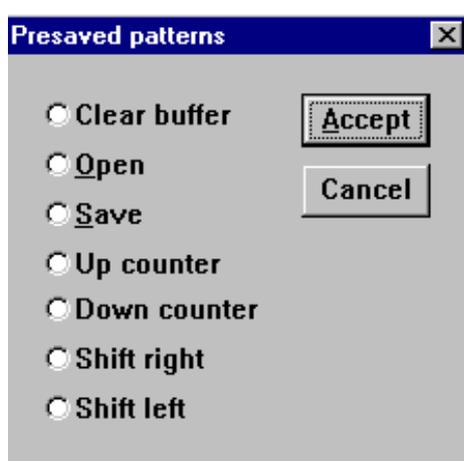


Рис. 29

- Clear buffer – стереть содержимое буфера (содержимое буфера экрана);
- Open – загрузить кодовые комбинации (из файла с расширением .dp);
- Save – записать все набранные на экране комбинации в файл (.dp);
- Up counter - заполнить буфер экрана кодовыми комбинациями, начиная с 0 в нулевой ячейке и далее с прибавлением 1 в каждой последующей ячейке;
- Down counter – заполнить буфер кодовыми комбинациями, начиная с FFFF в нулевой ячейке и далее с уменьшением на 1 в каждой последующей ячейке;
- Shift right – заполнить каждые четыре ячейки комбинациями 1-2-4-8 со смещением их в следующих четырех ячейках вправо;
- Shift left – тоже самое, но со смещением влево.

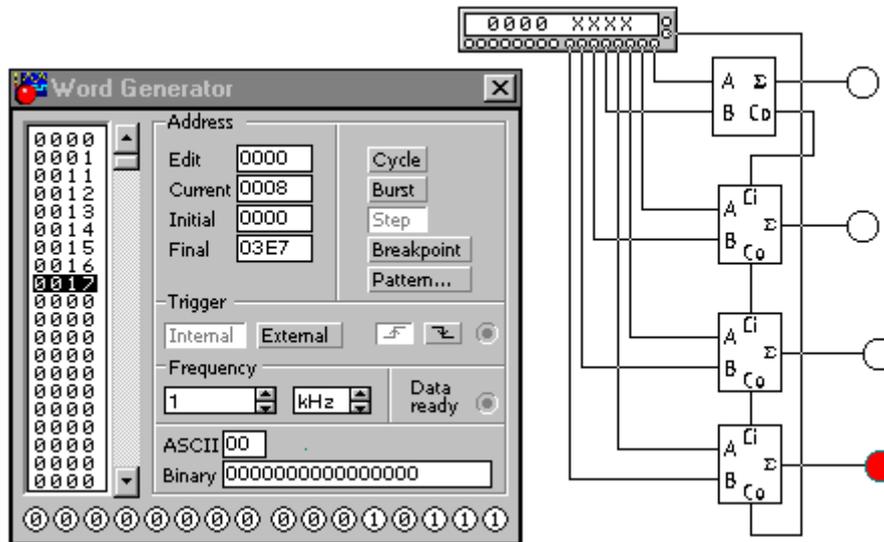


Рис. 30

**Задание.** Исследовать четырех разрядный сумматор (рис. 30) с помощью виртуального генератора слов.

1. Собираем четырех разрядный сумматор, состоящий из одного полусумматора и трех полных сумматоров.
2. Из панели Indicators выбираем 4 индикатора и подключаем к выходам сумматора (при сигнале 1 – загораются).
3. Выходы виртуального генератора слов подключаем к входам сумматора; четыре первых разряда соответствуют первому слагаемому, четыре последующих разряда – второму слагаемому.
4. В лицевой панели генератора вводим шестнадцатиразрядные числа 0, 1, 11, 12, 13, 14, 15, 16, 17.
5. Запустить генератор слов в режиме Step. Проанализировать работу сумматора.

### Вычитание

Вычитание числа  $B$  из  $A$  выполняется путем суммирования отрицательного числа  $B$  в дополнительном коде с числом  $A$ . Представление отрицательного двоичного числа можно получить путем инвертирования всех битов числа и добавлением 1. Прибавление этой единицы эффективно реализуется в полном сумматоре путем замены его первого каскада (полусумматора) на полный сумматор, вход переноса которого подключается к напряжению с уровнем логической 1.

### Контрольные вопросы и задания

1. Объяснить предназначение виртуального генератора слов.
2. Перечислить основные функции генератора слов.
3. Объяснить, почему выбраны шестнадцатиразрядные числа 0, 1, 11, 12, 13, 14, 15, 16, 17 для анализа работы сумматора.
4. Постройте пятиразрядный сумматор и проанализируйте с помощью генератора слов.
5. Какие шестнадцатиразрядные числа необходимо ввести для анализа работы сумматора?
6. Как обеспечить вычитание двух чисел?

## Лабораторная работа № 7. Виртуальный логический анализатор. (LOGIC ANALYZER)

**Цель:** Изучение назначения и принцип работы устройства логического анализатора. Знакомство с базовыми функциями логического анализатора.

**Оборудование:** Электронная лаборатория Electronics Workbench.

### Краткая теория

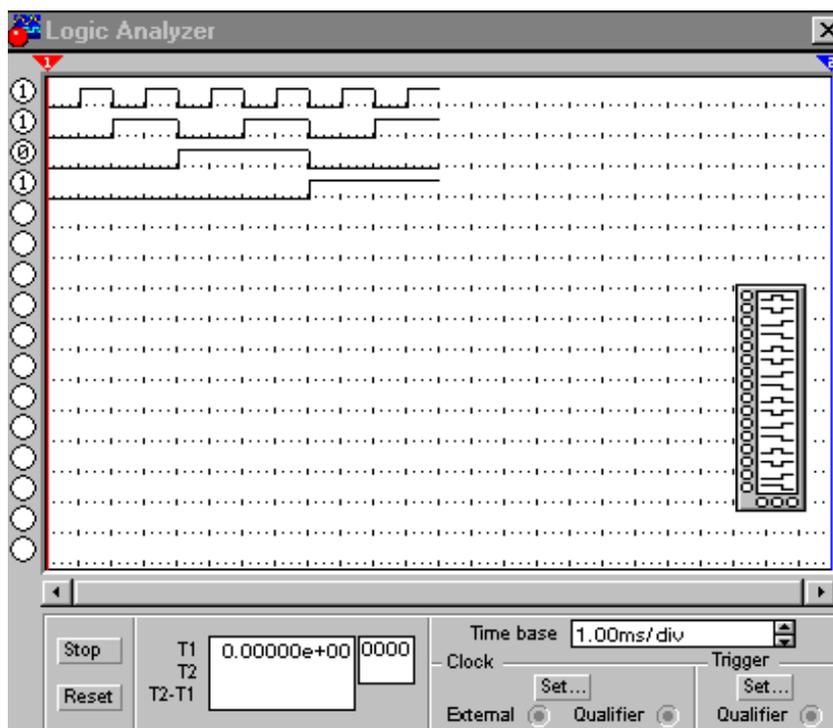


Рис. 31

Внешний вид виртуального логического анализатора приведен на рис. 31. Анализатор предназначен для отображения на экране монитора 16-разрядных кодовых последовательностей одновременно в 16 точках схемы, а также в виде двоичных чисел на входных клеммах-индикаторах. Длительность развертки задается в окне TIME BASE. В блоке Clock имеются клеммы как для обычного (Extend), так и избирательного (Qualifier) источника запускающих сигналов, параметры которых могут установлены с помощью меню, вызываемого кнопкой Set (рис. 32). Запуск генератора можно осуществлять по переднему (Positive) или заднему (Negative) фронту запускающего сигнала с использованием внешнего (External) или внутреннего (Internal) источника. В окне Clock qualifier можно установить значение логического сигнала (0, 1 или X), при котором производится запуск анализатора.

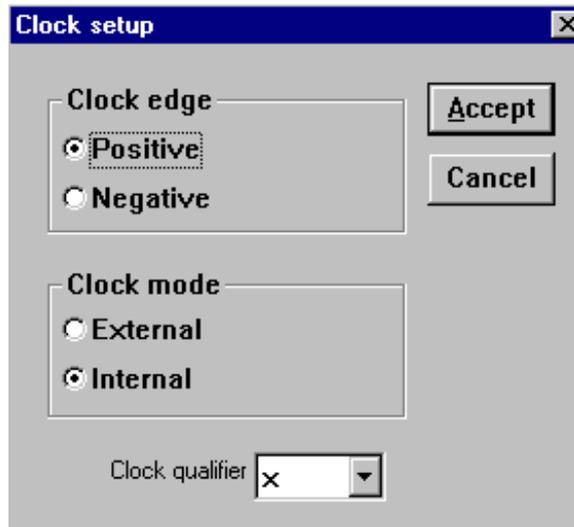


Рис. 32

Дополнительные условия запуска анализатора могут быть выбраны с помощью меню, которое вызывается кнопкой Set в блоке Trigger (рис. 33). С помощью этого окна в каналах А, В и С можно задать нужные двоичные 16-разрядные комбинации сигналов и затем в строке Trigger combinations установить дополнительные условия отбора:

- А OR В – запуск анализатора от канала А или В;
- А THEN В – запуск анализатора от канала А, если сигнал в канале В равен 1;
- (А OR В)THEN С – запуск анализатора от канала А или В, если сигнал в канале С равен 1.

В окне канала Trigger qualifier можно задать логические сигналы 1, 0 или X, при наличии которых производится запуск анализатора.

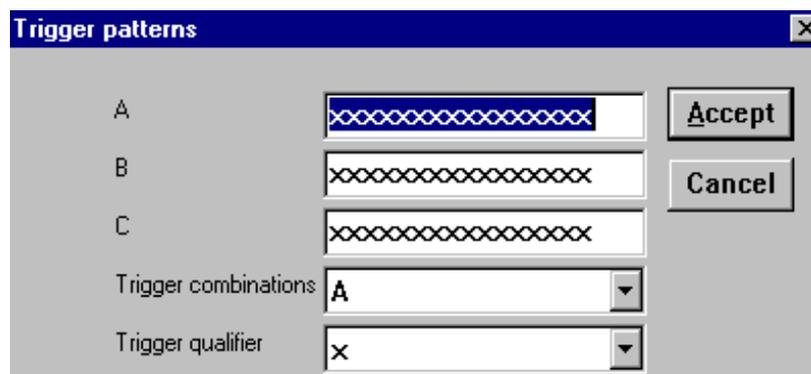


Рис. 33

**Задание.** Изучение четырех разрядного сумматора (рис. 34) с помощью логического анализатора.

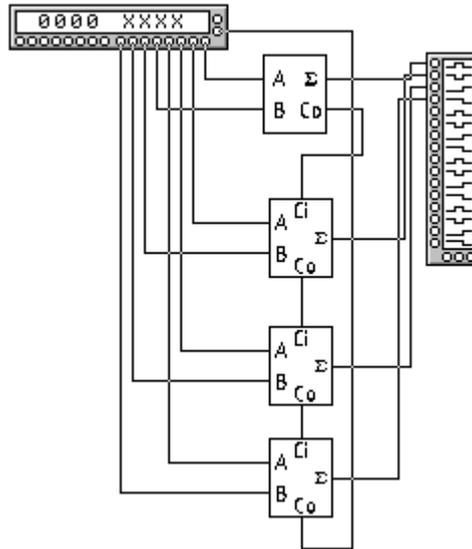


Рис. 34

### Контрольные вопросы и задания

1. Описать принцип работы логического анализатора.
2. Для чего предназначен логический анализатор.
3. Выполнить следующее задание.

### Лабораторная работа № 8. Триггеры

**Цель:** Изучение назначения и принцип работы устройств триггера. Знакомство с базовыми устройствами триггер из библиотеки EWB.

**Оборудование:** Электронная лаборатория Electronics Workbench.

### Краткая теория

Любая информация в компьютере представляется в двоичном виде, поэтому рассмотрим запоминание и хранение элементарной порции информации - одного бита. Электронная схема, запоминающая один бит информации, называется триггером.

Триггеры – устройства, имеющие два устойчивых состояния. Под действием управляющих сигналов они переходят из одного состояния в другое и после снятия сигналов хранят это состояние до тех пор, пока не отключено напряжение питания. Таким образом, триггер является ячейкой памяти для одного двоичного разряда, т. е. бита информации. Для понимания процессов, происходящих в триггерах, приведем схему асинхронного однотактного RS –

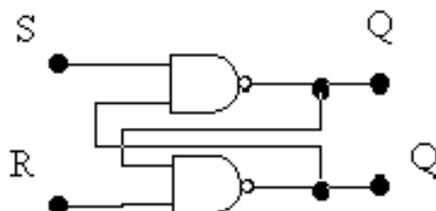


Рис. 35

триггера на логических элементах И-НЕ (рис. 35).

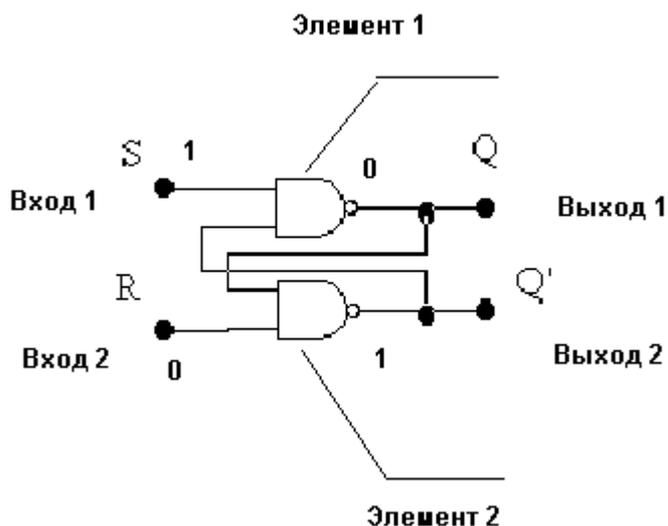


Рис. 36

В обычном состоянии на входы схемы подано постоянное напряжение 1. При записи информации на один из входов подается напряжение 1. Посмотрим как работает триггер. Пусть на вход 1 (Set - установить) подан сигнал «0», на вход 2 (Reset - переключить, сбросить) - «1» (рис. 36).

На выходе из элемента 1 (И-НЕ) независимо от другого входа элемента 1 появляется «1». На входы элемента 2 подаются «1», на выходе 2 появится «0».

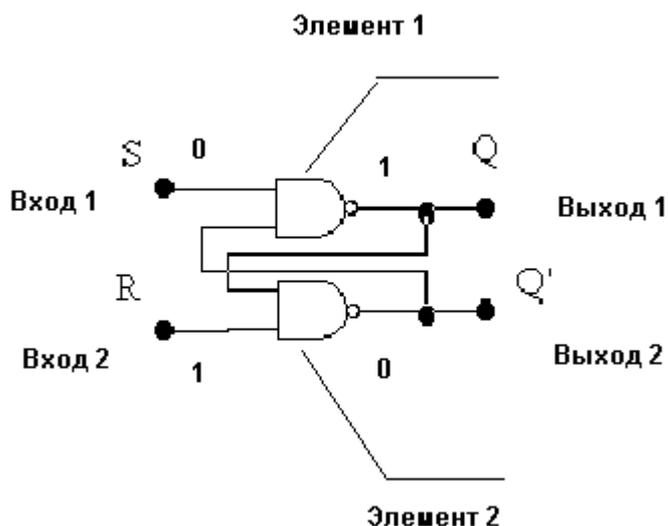


Рис. 37

Если на вход 1 подается сигнал «1», на вход 2 сигнал «0» (рис. 37), то на выходе 1 сигнал «1», на выходе 2 - «0».

Если на входы подать «0», то на выходах значение не изменится.

Таблица истинности RS-триггера

Вход 1 (S)	Вход 2 (R)	Выход 1 (Q)	Действие триггера
1	0	1	запоминание 1
0	1	0	запоминание 0
0	0	запомненный бит	хранение бита
1	1	неустойчивое состояние	запрещено

В библиотеке EWB триггеры представлены тремя типами: RS, JK и D, показанных на рис. 38.

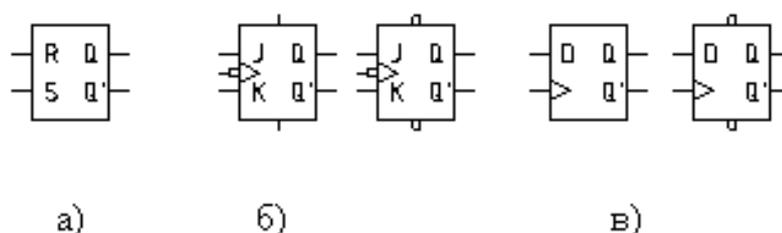


Рис. 38

Назначение выводов триггеров следующее. Для всех триггеров выходы Q – прямой, Q' – инверсный (обратный). Для RS – триггера R – установка триггера в 0, при сигнале 1 на этом входе Q=0, Q'=1; S – установка в 1, при сигнале 1 на этом входе Q=1, Q'=0; комбинация R=1, S=1 не изменяет состояние выходов и относится к запрещенным. Для JK триггера J, K – информационные входы, > - тактовый вход; вывод сверху – асинхронная предустановка триггера в единичное состояние (Q=1) вне зависимости от состояния сигналов на входах (функционально аналогичен входу S RS триггера); вывод внизу – асинхронная предустановка триггера в нулевое состояние (так называемая очистка триггера, после которой Q'=1); наличие кружочков на изображениях выводов обозначает, что активными являются сигналы низкого уровня, а для тактового входа – что переключение триггера производится не по переднему фронту тактового импульса, а по его срезу ( так чаще всего называют задний фронт импульса). Для D – триггера вход D – информационный, состояние этого входа после подачи тактового импульса запоминается триггером, т. е. при D=1 имеем Q=1, при D=0 – Q=0. Схема асинхронного RS – триггера на логических схемах приведена на рис. 39.

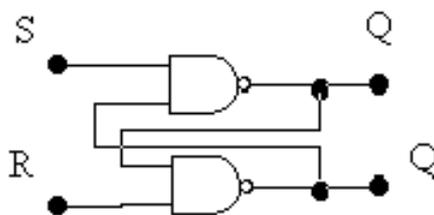


Рис. 39



## Лабораторная работа № 9. Счетчик

**Цель:** Изучение назначения и функции устройства счетчик. Знакомство с принципом работы устройства счетчик.

**Оборудование:** Электронная лаборатория Electronics Workbench.

### Краткая теория

Счетчиком называют устройство, сигналы на выходе которого отображают число импульсов, поступивших на счетный выход. Триггер может служить примером простейшего счетчика. Такой счетчик считает до двух. Счетчик, образованный цепочкой из  $m$  триггеров, может подсчитать в двоичном коде  $2^m$  импульсов. Каждый из триггеров такой цепочки называют разрядом счетчика. Число  $m$  определяет количество разрядов двоичного числа, которое может быть записано в счетчик. Число  $K_{сч}=2^m$  называют коэффициентом (модулем) счета.

Информация снимается с прямых и (или) инверсных выходов всех триггеров. В паузах между входными импульсами триггеры сохраняют свои состояния, т. е. счетчик запоминает число входных импульсов.

Нулевое состояние всех триггеров принимается за нулевое состояние счетчика в целом. Остальные состояния складываются по числу поступивших входных импульсов. Когда число входных импульсов  $N_{вх} > K_{сч}$  происходит переполнение, после чего счетчик возвращается в нулевое состояние и цикл повторяется. Коэффициент счета, таким образом, характеризует число входных импульсов, необходимое для одного цикла и возвращения в исходное состояние.

Счетчики различаются числом и типами триггеров, способами связей между ними, кодом, организацией счета и другими показателями. Цифровые счетчики классифицируются по следующим параметрам:

- Коэффициент счета – двоичные; двоично-десятичные или с другим основанием счета; с произвольным постоянным и переменным (программируемым) коэффициентом счета;
- Направление счета – суммирующие, вычитающие и реверсивные ( );
- Способ организации внутренних связей – с последовательным, параллельным или комбинированным переносом, кольцевые.

Классификационные признаки независимы и могут встречаться в различных сочетаниях: например, суммирующие счетчики бывают как с последовательным, так и с параллельным переносом, могут иметь двоичный, десятичный и иной коэффициент счета.

Схема четырехразрядного двоичного счетчика с последовательным переносом на D – триггерах приведена на рис. 42.

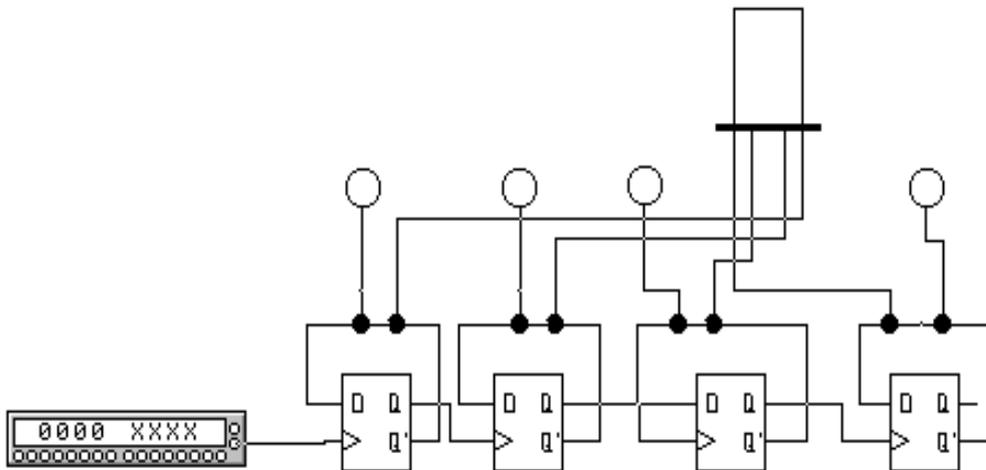


Рис. 42

На вход счетчика подаются импульсы с выхода синхросигналов генератора слова, которые генерируются при каждом нажатии клавиши STEP. Каждый триггер счетчика осуществляет деление на 2, сигнал переноса передается последовательно от одного разряда к другому. Состояние разрядов счетчиков в двоичном коде индицируются логическим пробником (индикатором), а в десятичном – семисегментным индикатором.

#### Контрольные вопросы и задания

1. Что такое счетчик, какие функции он может выполнять?
2. Назовите типы счетчиков и их возможные применения.
3. Смоделируйте приведенную выше схему и проанализируйте работу счетчика.

### Лабораторная работа № 10. Регистр

**Цель:** Изучение назначения и функций регистра. Знакомство с принципом работы регистров.

**Оборудование:** Электронная лаборатория Electronics Workbench.

#### Краткая теория

Регистры – устройства для временного хранения и преобразования информации в виде много разрядных двоичных чисел. Регистры наряду со счетчиками и запоминающими устройствами являются наиболее распространенными устройствами цифровой техники. При сравнительной простоте регистры обладают большими функциональными возможностями. Они используются в качестве управляющих и запоминающих устройств, генераторов и преобразователей кодов, счетчиков, делителей частоты, узлов временной задержки. Элементами структуры регистров являются триггеры D- или JK- типа с динамическим или статическим управлением. Одиночный триггер может запоми-

нать (регистировать) один разряд (бит) двоичной информации. Такой триггер можно считать одноразрядным регистром. Занесение информации в регистр называют операцией ввода или записи. Выдача информации к внешним устройствам характеризует операцию вывода или считывания. Запись информации в регистр не требует его предварительного обнуления.

Все регистры в зависимости от функциональных свойств подразделяются на две категории – накопительные (регистры памяти, хранения) и сдвигающие. В свою очередь, сдвигающие регистры делятся по способу ввода и вывода информации на параллельные и последовательно-параллельные и комбинированные, по направлению передачи (сдвига) информации – на однонаправленные и реверсивные.

На рис. 43 показана схема простейшего четырехразрядного регистра на D – триггерах, в котором информация заносится последовательно, начиная с младшего разряда.

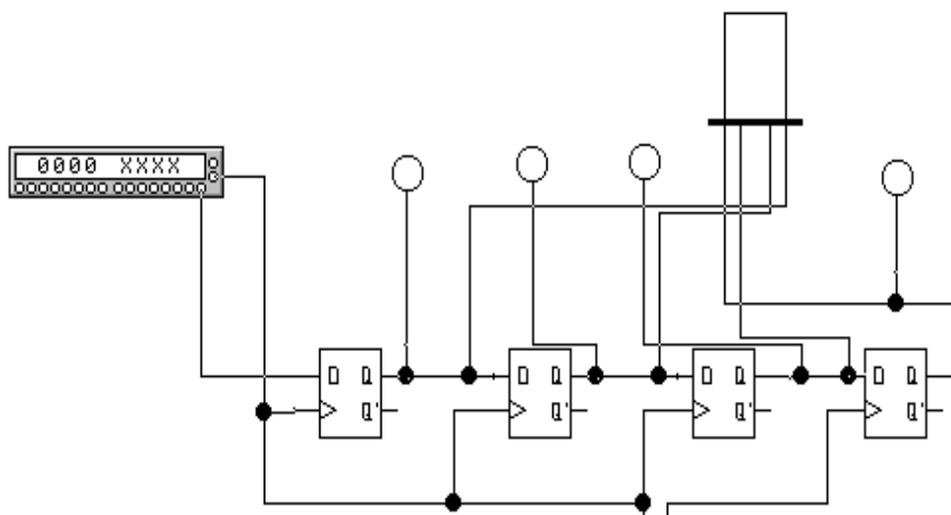


Рис.43

### Контрольные вопросы и задания

1. Что такое регистр, какие функции он может выполнять?
2. Назовите типы регистров и их возможные применения.
3. Смодулируйте приведенную выше схему и проанализируйте работу регистра.

### Лабораторная работа № 11. Оперативное запоминающее устройство

**Цель:** Изучение назначения и функций оперативного запоминающего устройства. Знакомство с принципом работы оперативного запоминающего устройства.

**Оборудование:** Электронная лаборатория Electronics Workbench.

### Краткая теория

Оперативные запоминающие устройства (ОЗУ) являются неотъемлемой частью микропроцессорных систем различного назначения. ОЗУ делятся на два класса: статические и динамические. В статических ОЗУ запоминание информации производится на триггерах, а в динамических – на конденсаторах емкостью 0,5 пФ. Длительность хранения информации в статических ОЗУ не ограничена, тогда как в динамических ОЗУ она ограничена временем саморазряда конденсатора, что требует специальных средств регенерации и дополнительных затрат времени на этот процесс.

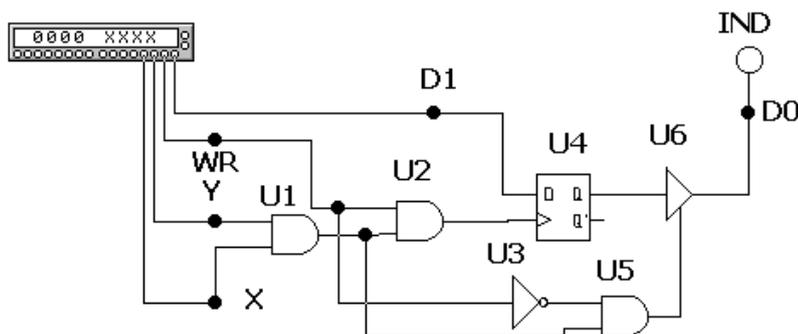


Рис. 44

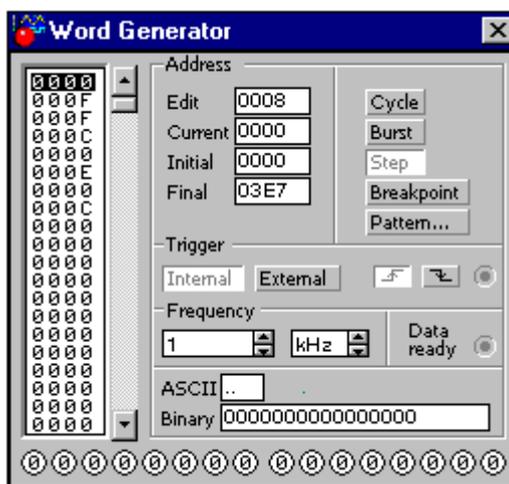


Рис. 45

На рис. 44 показана ячейка статического ОЗУ на D-триггере и вспомогательных логических элементах. Информационный вход ячейки подключен к шине данных D1 одного из разрядов, ее выход – к соответствующей шине D0 через элемент с тремя состояниями U6. Ячейка выбирается сигналами Y=1, X=1, поступающими с дешифратора адреса. При записи в ячейку памяти на D1 устанавливается 1 или 0, на входе WR/RD' – сигнал 1, в результате чего срабатывают элементы U1, U2. Положительный перепад сигнала с элемента U2

поступает на тактовый вход D-триггера U4 и в нем записывается 1 или 0 в зависимости от уровня сигнала на его D-входе. При чтении на входе WR/RD' устанавливается 0, при этом срабатывают элементы U1,U3,U5 и на вход РАЗРЕШЕНИЕ ВЫХОДА буферного элемента U6 поступает разрешающий сигнал, в результате чего сигнал с Q-выхода D-триггера передается на разрядную шину D0, состояние которой индицируется логическим пробником IND. Для проверки функционирования ячейки памяти используется генератор слова (рис. 45), выходной код которого соответствует указанным режимам работы ячейки.

Заметим, что запоминаящие устройства статического типа отличаются высоким быстродействием и в компьютерах используются в качестве так называемой кэш-памяти.

### **Контрольные вопросы и задания**

1. Какие типы памяти существуют?
2. Чем отличается динамическая память от статической?
3. Смоделируйте и проанализируйте работу ОЗУ, схема которого приведена выше.

### Литература:

1. Карлащук В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench.– М.: Солон-Р, 2000.- 504с.
2. Ходяков И. А.. Mathcad 6/0 и Electronics Workbench 5.12 в средней школе // Информатика и образование. 1999, №6.
3. Карлащук В. И. Обучающие программы. – М.: Солон-Р, 2001. – 528с.
4. Сулейманов Р. Р., Маликов Р. Ф. Моделирование электрических схем из школьного курса физики в интегрированной системе Electronics Workbench 5.12 // Учитель Башкортостана. 2002. №12.
5. Сулейманов Р. Р. Изучение элементов цифровой техники с использованием электронной лаборатории Electronics Workbench // Информатика и образование.2003.№3.
6. Информатика и информационные процессы. Учебник для 10-11 классов / Н. Д. Угринович. - М.: БИНОМ. Лаборатория знаний, 2003. - 512с.
7. Информатика: учеб. пособие для 10-11 классов общеобразовательных учреждений / Л. З. Шауцукова, - 3-е изд. - М.: Просвещение, 2003. - 416с.
8. Изучение основ информатики и вычислительной техники: Методическое пособие для учителей и преподавателей сред. учеб. заведений. Ч. 2 / А. П. Ершов, В. М. Монахов и др. - М.: Просвещение, 1986. - 207с.
9. Изучение основ информатики и вычислительной техники. Пособие для учителя/ А. В. Авербух, В. Б. Гисин, Я. Н. Зайдельман, Г. В. Лебедев. - М.: Просвещение, 1992. - 302с.
10. За страницами учебника информатики: Кн. для учащихся 10-11 кл. сред. шк. - М.: Просвещение, 1991. - 352с.
11. Барри Уилкинсон. Основы проектирования цифровых схем.: Пер. с англ. - М.: Издательский дом «Вильямс», 2004, - 320с.

## СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	2
ФИЗИЧЕСКИЕ ОСНОВЫ ЭВМ.....	3
РЕШЕНИЕ ЗАДАЧ НА ТЕМУ: ЛОГИЧЕСКИЕ СХЕМЫ .....	6
СИСТЕМА ELECTRONICS WORKBENCH .....	9
ЛАБОРАТОРНАЯ РАБОТА № 1. ВИРТУАЛЬНЫЙ ЛОГИЧЕСКИЙ КОНВЕРТОР (LOGIC CONVERTER).....	11
ЛАБОРАТОРНАЯ РАБОТА № 2.ЦИФРОВОЙ КОМПАРАТОР .....	15
ЛАБОРАТОРНАЯ РАБОТА № 3. УСТРОЙСТВО КОНТРОЛЯ ЧЕТНОСТИ. 17	
ЛАБОРАТОРНАЯ РАБОТА № 4. МУЛЬТИПЛЕКСОРЫ И ДЕМУЛЬТИПЛЕКСОРЫ.....	19
ЛАБОРАТОРНАЯ РАБОТА № 5. АРИФМЕТИЧЕСКИЕ СУММАТОРЫ .....	21
ЛАБОРАТОРНАЯ РАБОТА № 6. ВИРТУАЛЬНЫЙ ГЕНЕРАТОР СЛОВА (WORD GENERATOR). ВЫЧИТАНИЕ .....	24
ЛАБОРАТОРНАЯ РАБОТА № 8. ТРИГГЕРЫ .....	29
ЛАБОРАТОРНАЯ РАБОТА № 9. СЧЕТЧИК .....	33
ЛАБОРАТОРНАЯ РАБОТА № 10. РЕГИСТР .....	34
ЛАБОРАТОРНАЯ РАБОТА № 11. ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО .....	35
ЛИТЕРАТУРА:.....	38